

6/5/1

DIALOG(R) File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

011824168 **Image available**

WPI Acc No: 1998-241078/199821

XRPX Acc No: N98-190691

Prototyping of mixed signal applications using field programmable chip system - capturing and simulating mixed signals, examining in real time data changed in digital cells and of any point within digital blocks or analogue subsystems of associated hardware, and accounting for interaction with general purpose programs

Patent Assignee: SIDSA SEMICONDUCTORES INVESTIGACION Y DI (SIDS-N)

Inventor: FAURA ENRIQUEZ J; INSENSER FARRE J M

Number of Countries: 072 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 9815976	A1	19980416	WO 96ES253	A	19961230	199821 B
AU 9715467	A	19980505	AU 9715467	A	19961230	199836
EP 871223	A1	19981014	EP 96945365	A	19961230	199845
			WO 96ES253	A	19961230	
CN 1205801	A	19990120	CN 96199315	A	19961230	199922
JP 11507478	W	19990629	WO 96ES253	A	19961230	199936
			JP 98517204	A	19961230	
KR 99071991	A	19990927	WO 96ES253	A	19961230	200048
			KR 98704282	A	19980608	

Priority Applications (No Type Date): ES 962168 A 19961010

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

WO 9815976 A1 S 22 H01L-027/02

Designated States (National): AL AM AT AU AZ BB BG BR BY CA CH CN CZ DE DK EE ES FI GB GE HU IL IS JP KE KG KP KR KZ LK LR LS LT LU LV MD MG MK MN MW MX NO NZ PL PT RO RU SD SE SG SI SK TJ TM TR TT UA UG US UZ VN
Designated States (Regional): AT BE CH DE DK EA ES FI FR GB GR IE IT KE LS LU MC MW NL OA PT SD SE SZ UG

AU 9715467 A H01L-027/02 Based on patent WO 9815976

EP 871223 A1 E H01L-027/02 Based on patent WO 9815976

Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE

CN 1205801 A H01L-027/02

JP 11507478 W 18 H01L-027/118 Based on patent WO 9815976

KR 99071991 A H01L-027/10 Based on patent WO 9815976

Abstract (Basic): WO 9815976 A

The prototyping process involves the schematic capture and simulation of mixed signals, the reading and writing of the configuration, the examination in real time of any point within the digital blocks or the analogue subsystems which are part of the associated hardware, and the change of data in real time within some programmable digital cells of the associated hardware. The digital cells are configured and reconfigured, with interaction with the associated hardware and execution of general purpose user programs being accounted for.

The storage of configuration contexts provides for the change of a configuration context throughout the circuit with a microprocessor control, and the exportation of data to an application specific integrated circuit (ASIC) using an ASIC library. The method involves a field programmable chip system incorporating a microprocessor (2), at least one digital macro cell (3), a RAM memory (1), analogue cells (4),

SP 86

and interfaces (5-8) for the connection of the cells.

USE - For digital and analogue hardware, and microprocessor programs, in mixed signal applications usable independently in relation to associated hardware, for user to specify, simulate, emulate and project complete design.

ADVANTAGE - Avoids requirement of different development systems for each part of mixed signal circuit, by providing integrated development interface with single front end, and avoiding separate program compilers and circuit simulators.

Dwg.1/4

Title Terms: MIX; SIGNAL; APPLY; FIELD; PROGRAM; CHIP; SYSTEM; CAPTURE; SIMULATE; MIX; SIGNAL; REAL; TIME; DATA; CHANGE; DIGITAL; CELL; POINT; DIGITAL; BLOCK; ANALOGUE; SUBSYSTEM; ASSOCIATE; HARDWARE; ACCOUNT; INTERACT; GENERAL; PURPOSE; PROGRAM

Derwent Class: U11; U13'

International Patent Class (Main): H01L-027/02; H01L-027/10; H01L-027/118

International Patent Class (Additional): H01L-021/82

File Segment: EPI

(51) Int.Cl.⁶
H 01 L 27/118

識別記号

F I
H 01 L 21/82

M

審査請求 有 予備審査請求 未請求(全 18 頁)

(21)出願番号 特願平10-517204
 (86) (22)出願日 平成8年(1996)12月30日
 (85)翻訳文提出日 平成10年(1998)6月10日
 (86)国際出願番号 PCT/ES96/00253
 (87)国際公開番号 WO98/15976
 (87)国際公開日 平成10年(1998)4月16日
 (31)優先権主張番号 P 9 6 0 2 1 6 8
 (32)優先日 1996年10月10日
 (33)優先権主張国 スペイン (E S)

(71)出願人 セミコンダクタレス インベスティゲシオン イ ディセノ, エス. エイ. スペイン国 イ—28760 トレス カントス, セントロ エンブレサス, 1, アイザック ニュートン
 (72)発明者 インセンセル ファレ, ホセ マリア スペイン国 イ—28760 トレス カントス, セントロ エンブレサス, 1, アイザック ニュートン
 (74)代理人 弁理士 平木 祐輔 (外2名)

最終頁に続く

(54)【発明の名称】 混合信号アプリケーションのプロトタイピングのためのプロセス及び該プロセスの前記アプリケーションのためのチップ上のフィールドプログラマブルシステム

(57)【要約】

混合信号アプリケーションのプロトタイピングのためのプロセス及びこのプロセスの前記アプリケーションのためのチップ上のフィールドプログラマブルシステムであって、このプロセスは、使用者が、完全な設計及びそのプロトタイピングを特定し、シミュレートし、エミュレートし、計画するため、関係するハードウェアとの関連で独立して使用され、この機能は特殊な設計設定において集約され、このプロセスはまた、図形捕捉及び混合信号のシミュレーションと、構成の読み書きと、前記関係するハードウェアの一部としてのデジタルブロックまたはアナログサブシステム内の任意のポイントのリアルタイムでの検査と、前記関係するハードウェアのいくつかのプログラマブルデジタルセル内のリアルタイムでの変更と、前記プログラマブルデジタルセルの構成及び再構成と、前記関係するハードウェアの相互作用と、汎用ユーザプログラムの実行と、マイクロプロセッサの制御を伴う回路全体における構成コンテキストの記憶と、ASICライブラリを使用した特定用途向集積回路 (ASIC) へのデータの送出とで構成される。このシステム

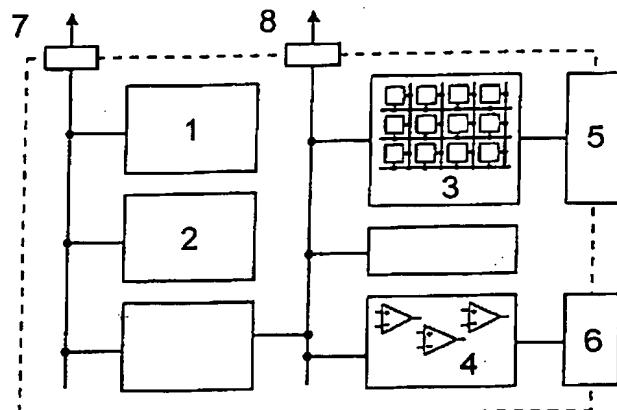


Fig. 1

【特許請求の範囲】

1. 使用者が、完全な設計及びそのプロトタイピングを特定し、シミュレートし、エミュレートし、計画するため、関係するハードウェアとの関連で独立して使用可能な、混合信号アプリケーションをプロトタイプするためのプロセスであつて、前記特定、シミュレーション、エミュレーション及び設計計画が、唯1つの設計環境における集積された機能であつて、さらに、

　図形捕捉及び混合信号シミュレーションと、

　マイクロプロセッサを介した関係するハードウェアの構成の読み書きと、

　リアルタイムで、関係するハードウェアに含まれるデジタルブロックまたはアナログサブシステム内の各ポイントを検査することと、

　リアルタイムで、この関係するハードウェアのプログラマブルデジタルセル内のデータを変更することと、

　前記プログラマブルデジタルセルを構成及び再構成することと、

　関係するハードウェアを相互作用させることと、

　汎用ユーザプログラムを実行することと、

　マイクロプロセッサのコマンドに従って、回路全体の構成コンテキストの変更を可能とする構成コンテキストを記憶することと、

　ASICライブラリを使用して特定用途向集積回路（ASIC）へデータを出力することを含むことを特徴とする混合信号アプリケーションをプロトタイピングするためのプロセス。

2. 前記構成コンテキストの変更には、プログラマブルセル状態の記憶、アクティブな状態となる前にアクティブではない状態のセルを初期化することを可能にすること、また前記コンテキストの変更の間に回路ノード値を保持することを可能にすることを含むことを特徴とする請求項1記載の混合信号アプリケーションをプロトタイピングするためのプロセス。

3. 請求項1または2記載の前記プロセスを適用するためのチップ上のフィール

ドプログラマブルシステムであつて、このシステムには、

　1つのマイクロプロセッサ（2）と、

チップ上のRAMメモリ（1）と、
少なくとも1つのデジタルマクロセル（3）と、
アナログセル（4）と、
アナログセル（4）とデジタルセル（3）を結合するインターフェース（5、6
、7、8）が含まれることを特徴とするフィールドプログラマブルシステム。
4. 前記デジタルマクロセル（3）が、大きな粒度であり、数個のLUT（探索
テーブル）（9.1、9.2、9.3、9.4）を備え、独立して、または互いに組
み合わされてブール関数を実行し、前記各探索テーブルが4ビット幅を有すること
を特徴とする請求項3記載のフィールドプログラマブルシステム。
5. 前記各デジタルマクロセル（3）が、4つのフリップフロップ（10.1、
10.2、10.3、10.4）を包含し、各フリップフロップが独立して構成さ
れることを特徴とする請求項3記載のフィールドプログラマブルシステム。

【発明の詳細な説明】

混合信号アプリケーションのプロトタイピングのためのプロセス及び該プロセスの前記アプリケーションのためのチップ上のフィールドプログラマブルシステム

説明

発明の目的

本発明の目的は、異なるアナログまたは／及びデジタルハードウェアアプリケーションに独立して使用可能かつ適用可能で、ハードウェアとソフトウェアとの間の直接のインターフェースを提供することが可能な、混合信号アプリケーションのプロトタイピングのためのプロセス及びフィールドプログラマブルシステムを適用するためのチップ上のフィールドプログラマブルシステムによって構成される。このプロセスは、この目的で現在使用されているシステムに比較して重要な利点を有する。

本発明にかかるデジタルハードウェアシステムによって識別され実行されうる動的再構成に基づくアプリケーションは数多く存在する。これには、通信スイッチ、画像処理としての並行処理アプリケーション、アレーに基づくアプリケーション等がある。

発明の背景

電子システムが複雑になるにつれて、異なる設計及びプロトタイピングツールを伴う異なるサブシステムを別々に機能させる伝統的な設計方法論に従うことはより困難となっている。システム設計者は、製造の前に、大容量設計を妥当なものとするためにマッピングすることのできる柔軟なプロトタイプシステムを探求してきた。しかし、マイクロプロセッサエミュレータ及びデジタルコンフィグアブルアレーのみが過去において入手できるのみであった。この要望に最終的に答

えるため、最近アナログプログラマブルアレーが出現し、これらによって、市場に適用される高速プロトタイピングに適したフィールドプログラム装置に対して工業界が示す興味が確認された。

現在、3つの領域、すなわち、デジタルハードウェア、アナログハードウェア

及びマイクロプロセッサプログラムにおいて、典型的に使用される混合信号アプリケーションが存在する。中規模の複雑さを有する混合信号集積回路にとって、ユーザプログラムを動作させるマイクロプロセッサコア、制御目的に使用されるいくつかのデジタルハードウェア及びデータ集配またはアナログアプリケーションのためのアナログサブシステムを含めるのは通常である。そのような場合、典型的な設計者は、通常相互に区別された方法論を用いる。すなわち、マイクロプロセッサプログラムのためのアセンブラー・コンパイラーデバッガ、デジタルハードウェアのための設計入力ツール（図形捕捉またはHDL）及びデジタルシミュレータ、アナログサブシステムのためのアナログシミュレータ等である。この方法論を採用する使用者の最も大きな問題は、設計を別々に考え、実行することであって、これらの3つの領域においてインターフェースを制御することが困難であることが判明する。その状態は、プロトタイピングについてもまたあまり有望ではなく、通常最も良い解決方法は、デジタルハードウェアのためのフィールドプログラマブルゲートアレー（FPGA）、いくつかの別個の集積回路、または、最近では、アナログハードウェアのためのアナログアレー、及びユーザプログラムのためのマイクロプロセッサエミュレータを使用することである。また、異なるインターフェースを設計する場合には、完全に異なる開発システムを各領域に使用しなければならないが、特別な注意が必要である。

現在市場にある混合信号アプリケーションをプロトタイピングするためのプロセッサによって提供される不具合を避けるため、混合信号アプリケーションのプロトタイピングのための新たなプロセス及びこのプロセスのアプリケーションのためのチップ上のフィールドプログラマブルシステムを開発すること、これが本発明の目的である。

発明の説明

本説明においては、混合信号アプリケーションをプロトタイピングするためのプロセス及びこのプロセスのアプリケーションのためのチップ上のフィールドプログラマブルシステムが導入される。本発明の目的は、システムプロトタイピング及びプログラマブルハードウェアのための新たな概念を示すことにある。この

システムは、標準マイクロプロセッサコアを有する混合信号フィールドプログラマブル装置（F P D）と、このF P Dを容易にプログラムするためのコンピュータ支援設計ツール（C A Dツール）の適当なセットと、フィールドプログラマブルゲートアレーに容易にマッピングすることができ、必要であれば、A S I Cに容易に移行するこのとできる種々の典型的なアプリケーションを支援する一揃いのライブラリマクロとセルによって構成される。

特に、混合信号アプリケーションのプロトタイピングのためのプロセスのアプリケーションのためのチップ上のフィールドプログラマブルシステムには、好適には、マイクロプロセッサブロックと、読み書きのための集積記憶媒体、好適にはR A Mメモリと、少なくとも1つのデジタルプログラマブルマイクロセルと、アナログセルと、前記デジタルセルとアナログセルの結合インターフェースとが含まれる。

前記3つの領域（デジタルハードウェア、アナログハードウェア及びマイクロプロセッサプログラム）のそれぞれの相互作用は、できるだけ近接したものとすことができる。すなわち、マイクロプロセッサはアナログ及びデジタルハードウェア構成の読み書きができ、物理的にポートを接続することができ、マイクロプロセッサバスの全体はフィールドプログラマブルゲートアレー（F P G A）のルーチングチャンネルに接続可能で、前記デジタルブロックまたはアナログサブシステム内の任意のポイントをリアルタイムで検査可能で、チップ上に前記フィールドプログラマブルシステムを形成するデジタルプログラマブルセルの内部に

収納されたフリップフロップ内にリアルタイムでデータの変更を行うことができる。そして、このマイクロプロセッサは、プログラマブルセルを構成（及び再構成）するため、及びそれにマッピングされた実際のハードウェアに相互作用し、汎用ユーザプログラムを動作させるために使用される。

本発明の概念は、使用者が上記システムに従うことのできる、完全に集積された設計及びプロトタイピング方法論に存在する。使用者に、特定し、シミュレートし、エミュレート（プローブ）し、1つの設計環境を使用した单一のチップ上に完全な設計をマッピングさせることを最終目的として、使用者に便利な強力な

CADツールが提供される。これには、混合信号図形捕捉及びシミュレーション、自動技術的マッピング、配置及びルーチングツール、集積エミュレーションソフトウェア（これによって徐々にプログラムの実行及びリアルタイムでの内部信号のチェックが可能となる）、及び集積装置プログラミングパッケージが含まれる。

大量のライブラリマクロセットによって、典型的な設計ニーズに対する最適解が提供され、これによって、使用者は、HDLから任意の手動配置及びルーティングまでの任意の設計レベルにおいても自己のマクロの実行が可能となる。並行ASICライブラリによってもまた、通常のプロトタイピング手法に比較して、ASICへの移行がかなり容易となる。

最終的に、付加価値として、二つの構成コンテキストが記憶され、これによって、マイクロプロセッサのコマンドによって、全体回路（または回路の一部）の構成の変更が可能となる。この特徴及びマイクロプロセッサとプログラマブルデジタルセルの緊密な相互作用によって、このフィールドプログラマブルゲートアレー（FPGA）を、ハードウェアとソフトウェアの相互作用及び動的再構成に基づくアプリケーションのための強力なツールとすることができる。

従って、二つの構成コンテキストが、チップ上のフィールドプログラマブルシステムの各プログラム可能な機構毎に記憶される。実際、各構成ビットは2つの

ポートを有するメモリセルである。

そして、マイクロプロセッサは、動作中、これらのメモリ内のすべての位置において読み書き可能となる。これによって、使用者は、他のコンテキストがまだアクティブな状態にある間においても、別のコンテキストを再構成することができ、アクティブなコンテキストを新しいものに変更することができる。このアプローチによって、単にマイクロプロセッサのコマンドを発するのみで回路全体を再構成することができ、再構成に要する時間はマイクロプロセッサの書き込みサイクルの時間に等しくなる。実際、マイクロプロセッサがFPGAの任意の单一セルを再構成できる限り、チップ全体ではなく一揃いのセルを「オンザフライ」の状態で再構成することができる。さらに、フリップフロップの内部のデータも

また複製され、アプリケーションが動作している間にマイクロプロセッサによつて読み書きすることができる。コンテキストが交換された場合、フリップフロップの状態を残りのコンテキストとともに維持または記憶することができる。これによって、アクティブな状態に設定する前に、アクティブではないコンテキストのフリップフロップを初期化することが可能となり、コンテキストを変更する場合には回路ノードの値を保存することができる。

ハードウェアスワップとして知られる本技術によって、バーチャルハードウェアを効果的に機能させることができる。アクティブでないコンテキストは、コンピュータシステムのスワップファイル内に記憶されるバーチャルメモリのように、それらの構成及びデータを保持する。再度必要とする場合にコンピュータのアクチャルメモリに戻されるスワップアーカイブの内部の情報のように、バーチャルハードウェアがアクチャルハードウェア源にマップバックされるときにハードウェアスワップが発生する。さらに、バーチャルハードウェアとソフトウェア手順との間に類比を確立することができる。すなわち、ソフトウェア手順の大域変数がハードウェアスワップの後に保持されるフリップフロップ内のデータと比較され、手順パラメータが、ハードウェアスワップの間に保存、復元されたフリップフロップ内のデータと比較される。

このように、設計手順は、これらの節点から開始して、直接または間接に、シミュレーション及び／またはリアルタイムエミュレーションに達し、結果が集積された波形表示であるように、3つの開始節点を有する閉フローダイヤグラムにマッピングすることができる。これらの開始節点は、チップ自体のフィールドプログラマブルシステムに対応し、その設計は、自己のチップ、HDL設計、及び集積ソースコード設計のための機能ブロックにマッピングされる。これらの節点から、直接または間接に、シミュレーションブロックまたは／及び集積エミュレーションにアクセスすることができる。間接的な方法には、そこからリアルタイムの集積エミュレーションがアクセスされるチップまたは装置のプログラミングを決定するブロックが含まれる。

この設計フローのキーポイントは、集積方法論に従うことである。これは、集

積設計特定化、シミュレーション、エミュレーション、波形表示、技術的マッピング（配置とルーチングを伴う）、及び装置プログラミングを示唆するものである。

上述のように、混合信号アプリケーションのプロトタイピングのためのプロセス及びこのプロセスの前記アプリケーションのためのチップ上のフィールドプログラマブルシステムによって適用される利点を容易に導き出すことができる。このように、構成可能なアナログハードウェア及びデジタルハードウェアの柔軟性、及びデジタルリソースと、アナログサブシステムとマイクロプロセッサとの間のインターフェースを容易に行うことができるため、集積方法論を実行することができる。同様に、混合信号アプリケーションのためのプロセスにおいて、チップ上のフィールドプログラマブルシステムの使用によって、即座に、プリント配線板（P C B）の占有領域を減少させ、装置の再使用化が可能となり、動的再構成が可能となり、市場へより迅速に供給することが可能となり、これらによってチップがよりプロトタイピングに適するものとなり、一連のものを予め製造することが可能となり、マイクロエレクトロニクスにおける研究がより容易となる。

図面の説明

本発明の目的の理解をより容易にするため、添付図面を参照しながら、混合信号アプリケーションのプロトタイピングのためのプロセス及びこのプロセスの前記アプリケーションのためのチップ上のフィールドプログラマブルシステムの好適例を以後説明する。添付図面は以下のとおりである。

- 1) 図1は、チップブロックダイヤグラム上のフィールドプログラマブルシステムを示す。
- 2) 図2は、デジタルマクロセルのブロックダイヤグラムを示す。このセルは、図1に示される装置に含まれる。
- 3) 図3は、各構成ビットのための2ビットダブルポートメモリセルを示す。
- 4) 図4は、混合信号アプリケーションのプロトタイピングのためのプロセスの一般図を示す。

本発明の好適例

本発明の目的としてのチップ上のフィールドプログラマブルシステムには、RAMメモリ（1）と、マイクロプロセッサ（2）と、プログラマブルデジタルマクロセル（3）と、プログラマブルアナログセル（4）とが含まれる。図1に示すように、このシステムには、正確にシステムを機能させるための数個のインターフェース（5、6、7、8）が含まれる。前記デジタルマクロセル（DMC）は、大きな粒度であり、LUT（9.1、9.2、9.3、9.4）に基づいたものであり、合成目標が4ビット幅のプログラマブルセルである。

各探索テーブル（LUT）（9.1、9.2、9.3、9.4）は、4入力の任意のブール関数を実行することができ、2つのLUTを結合し、5入力の関数を形成することができる。DMCの4つのLUTを結合して任意の6入力ブール関数を実行することができる。各デジタルマクロセル（DMC）において、4個のフ

リップフロップ（FF）（10.1、10.2、10.3、10.4）を使用することができ、各々は独立して、同期または非同期セットまたはリセットを伴うマルチプレクサ型またはイネーブル及びラッチまたはFFとして構成される。DMCの2つの部分（結合部及び連続部）は多少独立して使用することができる。また、DMCを 16×4 のメモリ（実際は、2つの独立した 16×2 のメモリ）、インローディング及びアウトローディングを伴うカスケード配置のために設計された4ビットの加算器、予め設定されたロード値及び能力を伴うカスケード配置のために設計された変位記録、及び予め設定されたロード値及び能力を伴うカスケード配置のために設計された4ビットの加算カウンタまたは減算カウンタとして構成することのできる多数のマクロモードが存在する。これらのマクロ機能は特に合成プログラムに関する使用に適する。

アナログサブシステム（4）は、粗い粒度の固定機能ブロックで構成される。このアナログ機構には、ユーザプログラマブル増幅器、フィルタ、アナログマルチプレクサ、比較器、電圧調整装置、10乃至12ビットのアナログデジタル変換器／ディジタルアナログ変換器（ADC／DAC）等が含まれる。フィルタの運転頻度、増幅器のゲイン及びオフセット、（1つのDACまたはADCとしての）ADC／DACブロックの機能等のいくつかのパラメータがマイクロプロ

セッサ（2）から構成される。

マイクロプロセッサコアとデジタル及びアナログハードウェアを通信するため、最適化されたシリアルリンクが提供される。この構成は、このインターフェースを使用して読み書きすることができ、デジタルマクロセル（3）（DMC）が出力する実際の信号に対してマイクロプロセッサ（2）によってアクセスすることもできる。このアナログデジタル変換器（ADC）はまた、このインターフェースを使用してトリガることができ、従って、ADCをマイクロプロセッサのアドレス領域にマッピングするため、無駄な構成可能なハードウェアリソース（DMC及びルーチングチャンネル）なしに、マイクロプロセッサから使用することができる。

図3は、各構成ビットのための2ビットダブルポートメモリセルを示す。フリップフロップが示されたこの図において、これらのメモリ位置はマイクロプロセッサ2によって読み書きできる。1つのメモリがアクティブモードにある場合に、他のメモリを後で構成することができ、これによって後者をアクティブ状態に移行させることができる。

この配置によって、図4に示されるステップに従って設計手順が実行される。ここでは、この設計手順に対応する閉フローダイヤグラムが示される。この設計手順には、3つの開始節点が含まれ、これらの任意のものから開始して、直接または間接にシミュレーションまたはリアルタイムの集積エミュレーションに達し、集積波形表示において対応する結果を見ることができる。これらの開始節点は、チップ自体の上のフィールドプログラマブルシステムに対応し、ここで、設計が、ソースコードデザインを決定するHDLデザイン、図形入力ツールにマッピングされる。これらの節点から、直接または間接にシミュレーションブロックまたは／及び集積エミュレーションにアクセスすることができる。この間接的な方法には、チップまたはそこから我々がリアルタイムで集積エミュレーションにアクセスする装置プログラミングを決定するブロックが含まれる。

設計手順で重要なのは、集積プロセスである。これは、使用者が設計仕様、シミュレーション、エミュレーション、波形表示、配置とルーティングを伴う技術的

マッピング、及び集積方法における装置プログラミングを準備することを意味する。

そして、使用者は、実際に設計フローの各点においてシステムを結合させることができる。例えば、使用者は、同期、またはゲートレベルにおいて技術的マッピングを行う前にHDLにおいて設計を特定することができ、配置及びルーチングの前にデジタルマクロセル（チップ）とともに作業を行うことができ、または手動で配置及びルーチングを行うことができる。

エミュレーションボックスによって、段階を追った実行、ブレークポイント等、及びアナログまたはデジタル構成の内部ポイントの検査を含むマイクロプロセッサのエミュレーションを行うことができる。このように、使用者は連続的なプログラム補正性能をチェックすることができるとともに、同時に、回路の実際のノードの現在値を見ることができる。

最終的に、PCからシステムを増強するため、チップの外部の単純なシリアルインターフェースを使用することができ、従って、チップ上のフィールドプログラマブルシステム、パーソナルコンピュータ（PC）及びこれらのインターフェースとしてのRS232のみによって完全に開発されたシステムを実行することができる。

運転時間またはシミュレーション時間における与えられた時において、いかに全体システムが相互に機能しているかを理解するため、集積された波形表示が設けられる。この装置には、アナログ波形表示装置（実際は、エミュレーションが使用されるときには、これはデジタルオシロスコープと略々同様のものである）、デジタル波形表示装置（これはロジックアナライザのようなものである）、及びコード実行ウインド（ここでプログラムを追跡し、ブレークポイント等を設定することができる）が含まれる。

一旦、本発明の本質が記載され、これを実行するための方法が示されると、全体的にまたはその一部において付け加えることにより、実質的にこれらを改変しない限り、形状、材質及び配置を多少変更することが可能であり、本発明の最も重要な特徴は、次のパラグラフにおいて特許請求の範囲として記載される。

【図1】

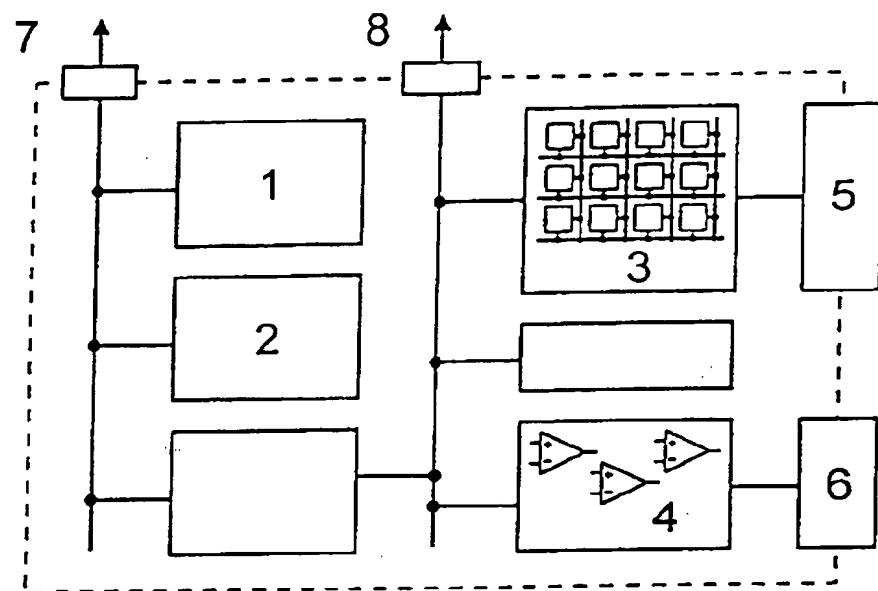


Fig. 1

【図2】

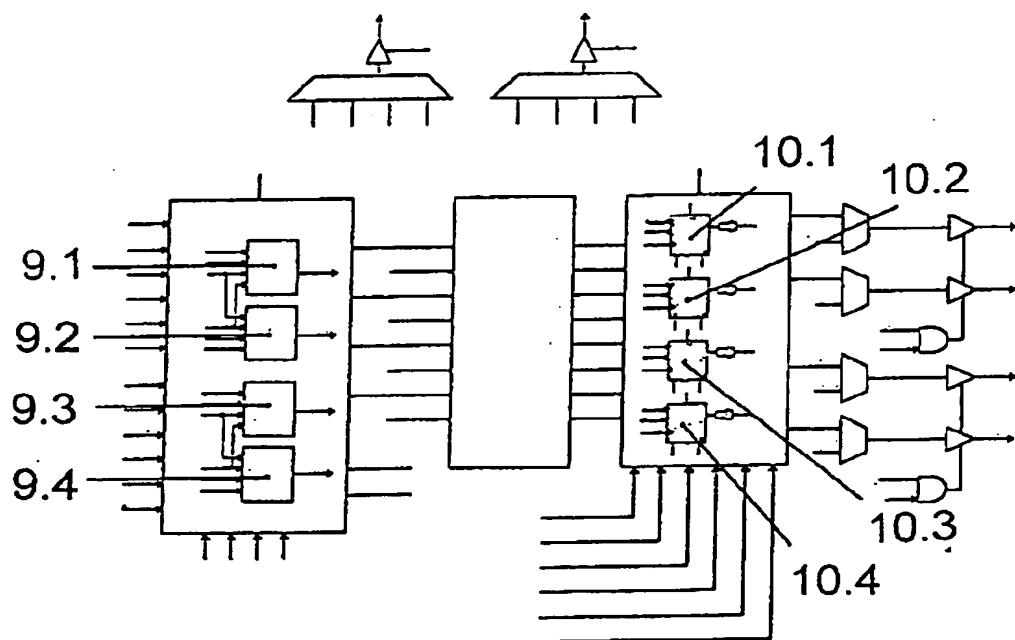


Fig. 2

【図3】

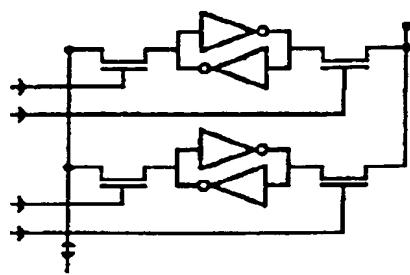


Fig. 3

【図4】

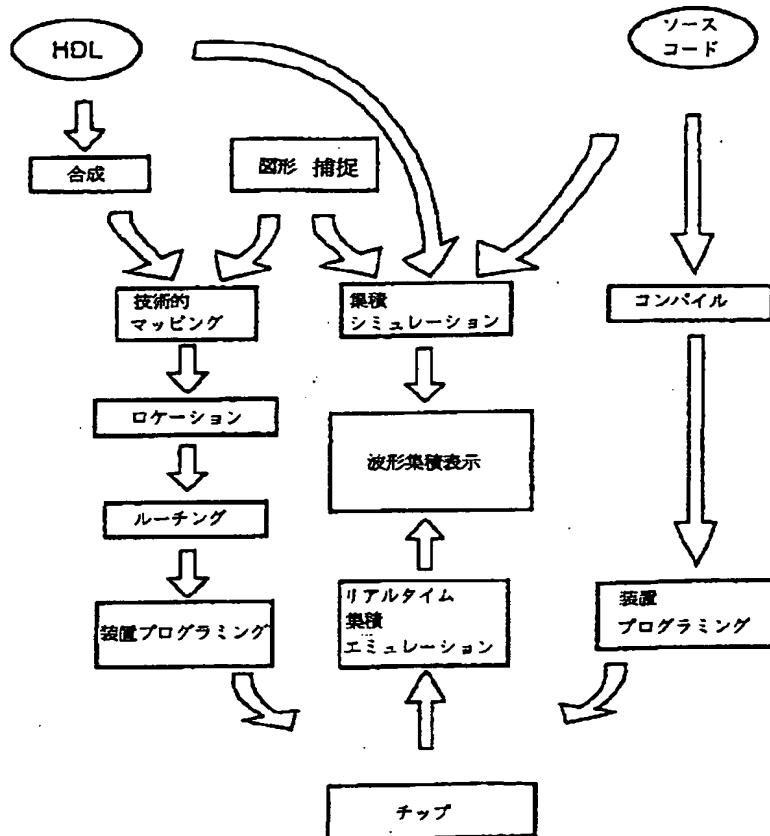


Fig. 4

[国際調査報告]

INTERNATIONAL SEARCH REPORT		International application No. PCT/ES 96/00253
A. CLASSIFICATION OF SUBJECT MATTER		
IPC 6 H01L 27/02, 21/82 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 6 H01L 27/02, 21/82, G06F15+, G06F 17/50, G06F 19/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CIBEPAT, WPIL, EPODOC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US-51970164 A (SUGIMOTO ET AL.) 23 March 1993 (23.03.93) column 2, line 44-line 64; column 3, line 9- line 53; claims 1-4	1-3
Y	US-5402358 A (SMITH ET AL.) 28 March 1995 (28.03.95) column 2, lines 29-64; column 3, lines 1-42; claims 1,2; figures 1,2	1-3
Y	US-5361373 A (GILSON) 1 November 1994 (01.11.94) column 4, lines 13-46; claim 1; figures	1-3
A	WO-9316433 A (SEIKO EPSON CORPORATION) 19 August 1993 (19.08.93) pages 10-20; figures	1-3
A	US-5384275 A (SAKASHITA) 24 January 1995 (24.01.95) column 6, line 46-column 7, line 57; figures	1-3
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 25 April 1997 (25.04.97)		Date of mailing of the international search report 7 May 1997 (07.05.97)
Name and mailing address of the ISA/ S.P.T.O. Facsimile No.		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/ES 96/00253

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US-5425036 A (LIN ET AL.) 13 June 1995 (13.06.95) abstract; figures 1,3	1,4,5

INTERNATIONAL SEARCH REPORT Information on patent family members			International Application No PCT/ES 96/00253
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-5197016 A	23.03.93	JP1309185 A NL8900084 A US4922432 A GB2213967 AB DE3900750 A	13.12.89 01.08.89 01.05.90 23.08.89 27.07.89
US-5402358 A	28.03.95	NONE	
US-5361373 A	01.11.94	JP7503804 T EP0626084 A WO9414123 A	20.04.95 30.11.94-- 23.06.94
WO-9316433 A	19.08.93	US5581742 A US5581562 A JP7506685 T	03.12.96 03.12.96 20.07.95
US-5384275 A	24.01.95	JP6069474 A DE4327660 AC	11.03.94 24.02.94
US-5425036 A	13.06.95	NONE	

フロントページの続き

(81) 指定国 EP(AT, BE, CH, DE,
DK, ES, FI, FR, GB, GR, IE, IT, L
U, MC, NL, PT, SE), OA(BF, BJ, CF
, CG, CI, CM, GA, GN, ML, MR, NE,
SN, TD, TG), AP(KE, LS, MW, SD, S
Z, UG), UA(AM, AZ, BY, KG, KZ, MD
, RU, TJ, TM), AL, AM, AT, AU, AZ
, BB, BG, BR, BY, CA, CH, CN, CZ,
DE, DK, EE, ES, FI, GB, GE, HU, I
L, IS, JP, KE, KG, KP, KR, KZ, LK
, LR, LS, LT, LU, LV, MD, MG, MK,
MN, MW, MX, NO, NZ, PL, PT, RO, R
U, SD, SE, SG, SI, SK, TJ, TM, TR
, TT, UA, UG, US, UZ, VN

(72) 発明者 フアウラ エンリケス, ジュリオ
スペイン国 イー-28760 トレス カン
トス, セントロ エンプレサス, 1, アイ
ザック ニュートン

【要約の続き】

は、マイクロプロセッサ(2)と、少なくとも1つのデジタルマクロセル(3)と、RAMメモリ(1)と、数個のアナログセル(4)と、前記セルを結合するインターフェース(5、6、7、8)とを備える。